

# PCIe要了解的 十件事

—  
电子书



敏盛企業有限公司

<http://www.mavin.com.tw>

免責聲明

資料僅供參考，若有與原廠不合之處，請以原廠規格為準，且不供任何證明文件之用

TEL:03-5970828 FAX:03-5972622 新竹湖口工業區工業四路3號2F



# PCIe 概述

PCI Express (PCIe) 是一种高性能通用 I/O 互连协议，广泛用于各种计算产品和通信产品。由于时延低、带宽明显要更高，因此业界正在融合到 PCIe，作为高速串行总线标准。PCIe 在 NVM Express SSD 应用中尤其流行。

PCIe 既有串行通信接口，又有存储接口，这一点与 SAS 和 SATA 不同，因此实现了额外的行业扩充能力。预计到 2018 年，PCIe 将成为数据通信中的主导 SSD 接口，它将在 2017 年代替 SAS，在 2018 年代替 SATA。

- PCIe 在根复合 (系统 / 主机) 与端点 (插件) 之间基于点到点总线拓扑，支持全双工通信。
- 这些规范是由 PCI-SIG 开发和维护的，这是一家由 900 多家公司组成的协会。

- PCIe 物理层包括：
  - 差分低压 100 MHz 基准时钟
  - 可以扩充通路宽度：x1, x2, x4, x8, x12, x16, x32
  - 可以扩充速度：2.5GT/s (Gen1), 5GT/s (Gen2), 8GT/s (Gen3), 16GT/s (Gen4)
  - 在一致性测试中使用不同的连接器，如 CEM、U.2 (SFF-8639)、M.2 或直接焊接到 PCB

# 目录

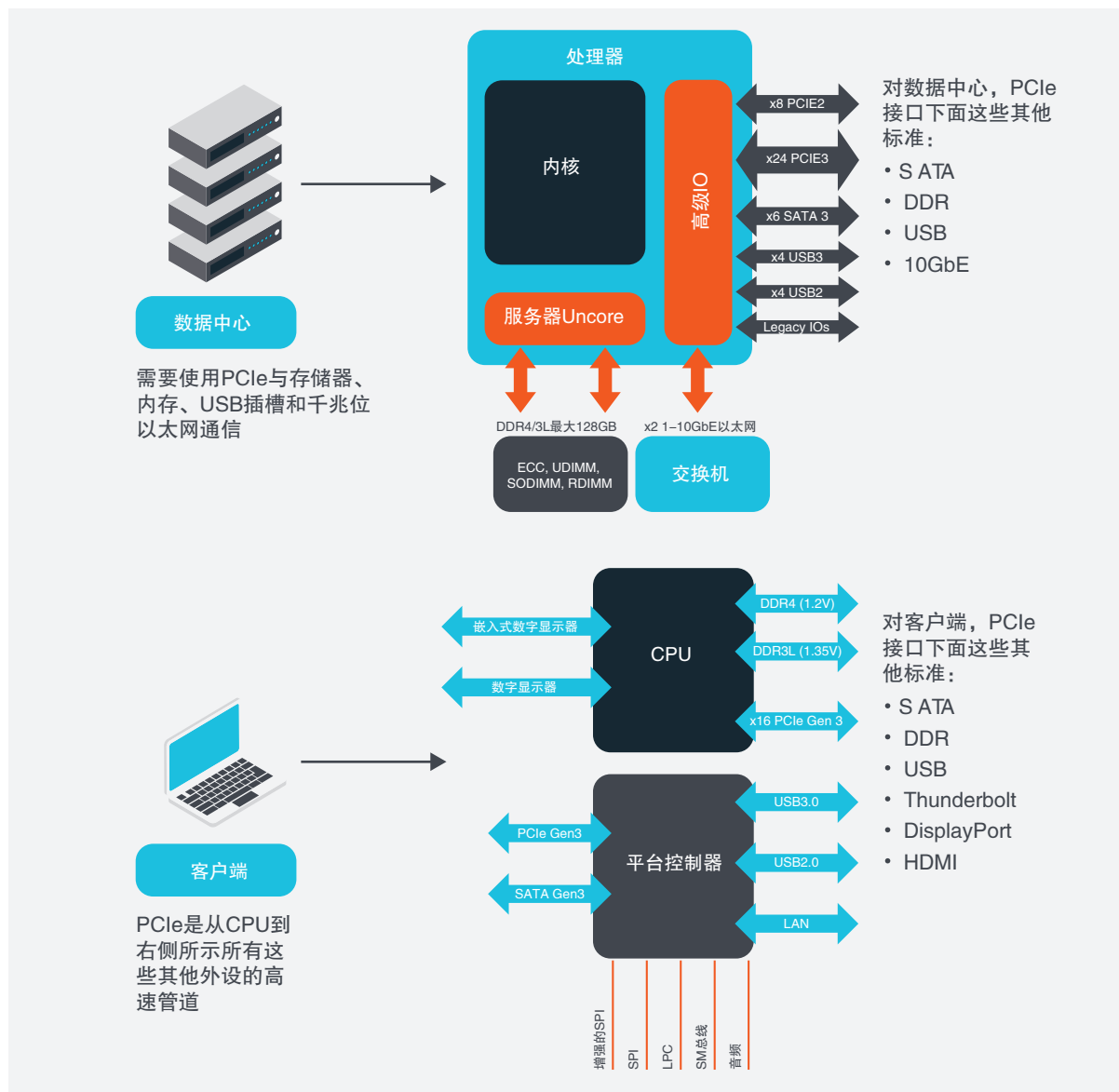
01. PCI Express—它用在哪里？	4
02. PCIe Gen4 最新进展	5
03. PCIe RefClk Architectures	6
04. PCI Express 外形	7
05. 一致性测试预置值	8
06. 发射机 (Tx) 测试基础知识	9
07. 基本规范发射机 (Tx) 测试	10
08. CEM & U.2 规范发射机 (Tx) 测试	11
09. 接收机 (Rx) 测试基础知识	12
10. PCIe 测试和调试设置中的关键考虑因素	13



# 01. PCI Express——它用在哪里？

PCIe 是数据中心和客户端应用中使用的最主要的新兴高性能存储和串行总线。PCIe 在外设之间实现了数据通信。

数据中心应用和客户端应用都有一个核心处理器，为主机系统上的架构提供原始处理能力。这两种应用还必须接口各种外设器件，如 SATA 驱动器、USB 设备等。在根复合主机与端点器件之间，通常有许多路长损耗通道和连接器，带来了噪声、串扰、定时不规则特点和其他损伤。因此，客户端和数据中心侧的 PCIe 器件必须能够可靠地演示 PCI 规定的一致性，补偿损伤，与 PCIe 器件互操作。



## 02. PCIe Gen4 最新进展

### 您需要了解什么？

由于业界需要提高数据吞吐量和带宽吞吐量，因此 PCIe 数据速率必须提高，以跟上需求发展步伐。所以 Gen4 中最大的变化之一，是数据速率提高了 2 倍，从 Gen3 的 8GT/s 提高到 Gen4 的 16GT/s。

下面列明了最新 Gen4 标准给市场带来的主要增强功能。

### PCIe 4.0 主要增强功能

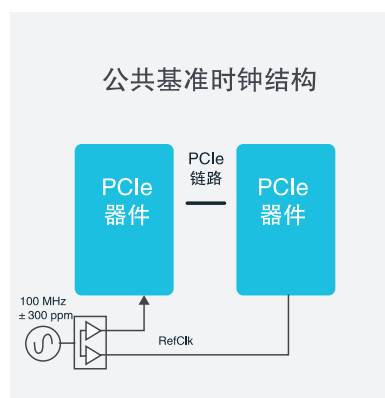
- 16 GT/s, 使用加扰, 与 8 GT/s 相同, 编码与 Gen3 相比没有变化 (128b/130b)
- 对加压的 Rx 眼图参数, RJ (随机性抖动) 从 3 ps (PCIe3) 下降到 ~1 ps (PCIe4)
- Gen4 连接器向下兼容 Gen1/2/3
- 与行为 Rx EQ 数据速率有关
- 限定通道: 对更长的通道和 / 或第二个连接器, 要求使用中继器 (再驱动器和再定时器)
- 测试通道大约长 12", 总损耗 -28 dB
- 在同一个器件上同时测试 Gen3 和 Gen4 时, 被测试的各个预置值数量将翻一倍, 总计 22 个。Gen3 有 11 个预置值 (P0 ~ P10), Gen4 有 11 个预置值 (P0 ~ P10)。
- 新的 SRIS 独立 RefClk 模式
  - SRNS- 单独的独立 RefClk, 没有 SSC 结构
  - SRIS- 单独的独立 RefClk, 采用 SSC 结构
- 新的 Rx 通路裕量功能测量通道最后的眼高 (EH)/ 眼宽 (EW) 裕量
- Gen4 的最小眼高已经下降到 15mVpp
- Rev 0.9 基本规范草议版预计将在 2017 年第二季度最终确定
- Gen4 CEM 规范发布了 rev 0.5, 正在开发的草议版 0.7 预计将于 2017 年第二季度发布

## 03. PCIe Refclk 结构

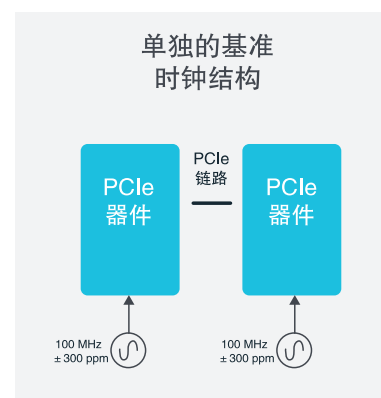
为了方便发射器件和接收器件可靠地传输数据，PCI-SIG 对基准时钟提出了非常严格的要求。标准规定使用 100 MHz 时钟 (Refclk)，发射器件和接收器件上的频率稳定性大于  $\pm 300$  ppm，并支持三种不同的时钟结构，同时协调根复合芯片和端点芯片。

在传统上，PCIe 一直采用公共时钟结构，根复合和芯片可以偏离相同的时钟配置，而不是以不同的间隔运行，后者测试起来更具有挑战性。公共时钟是一种更加精确的结构，但整合到系统中的灵活性较差。通过采用 Gen4 标准，系统可望更多地采用分开 / 独立的时钟结构。

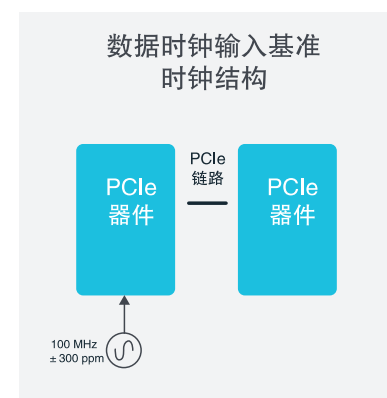
时钟稳定性必不可少，以支持三种不同的时钟输入结构。



公共时钟结构 – 最流行，支持 SSC (扩频时钟)；相同的时钟必须连接到所有器件，同时器件之间的时延保持在  $\leq 12$  ns。



分开 / 独立时钟 – 主要用于有线应用；发送器件和接收器件之间采用基准时钟，可以提高扩充能力，支持与 SATA 和 SAS 器件互操作。

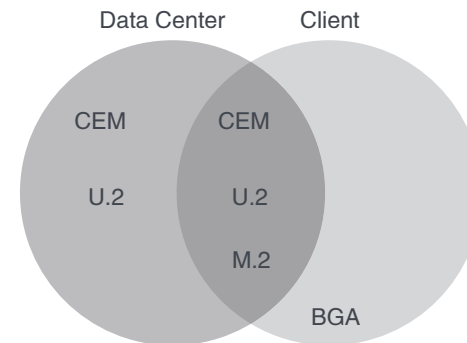


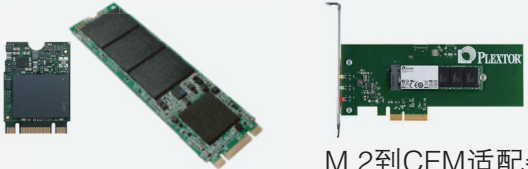
数据时钟输入结构 – 实现起来最简单，在 PCIe 结构中并不多见。

“选择最优的 PCI Express 时钟源”，第 3 页图 3，Silicon Laboratories 公司

# 04. PCI Express 外形

为了方便发射器件和接收器件可靠地传输数据，PCI-SIG 对基准时钟提出了非常严格的要求。标准规定使用 100 MHz 时钟 (Refclk)，发射器件和接收器件上的频率稳定性大于 ± 300 ppm，并支持三种不同的时钟结构，同时协调根复合芯片和端点芯片。



PCI Express外形	
CEM插件(AIC)	 <p>CEM插件是最常用的外形，如图中所示的SSD器件。</p>
U.2 (SFF-8639)	 <p>U.2更新、更小，截止到2017年4月，目前在一致性测试讲习会上使用U.2夹具用于FYI测试。 此外，如果经过测试，U.2器件可以正式增加到PCI-SIG Integrator列表中，就像它们是使用所示适配器夹具的CEM器件一样。</p>
M.2	 <p>M.2外形即将推出，它比U.2还小，但截止到2017年4月，还没有开始FYI一致性测试。 另外，M.2器件可以正式增加到PCI-SIG Integrator列表中，就像它们是使用所示适配器夹具的CEM器件一样。</p>
BGA (嵌入式)	 <p>一致性测试目前不支持BGA或嵌入式SOC器件，但可以使用高速探头或定制夹具进行验证。</p>

夹具和适配器通过 PCI-SIG – [pcisig.com](http://pcisig.com) 供货。

## 05. 一致性测试预置值

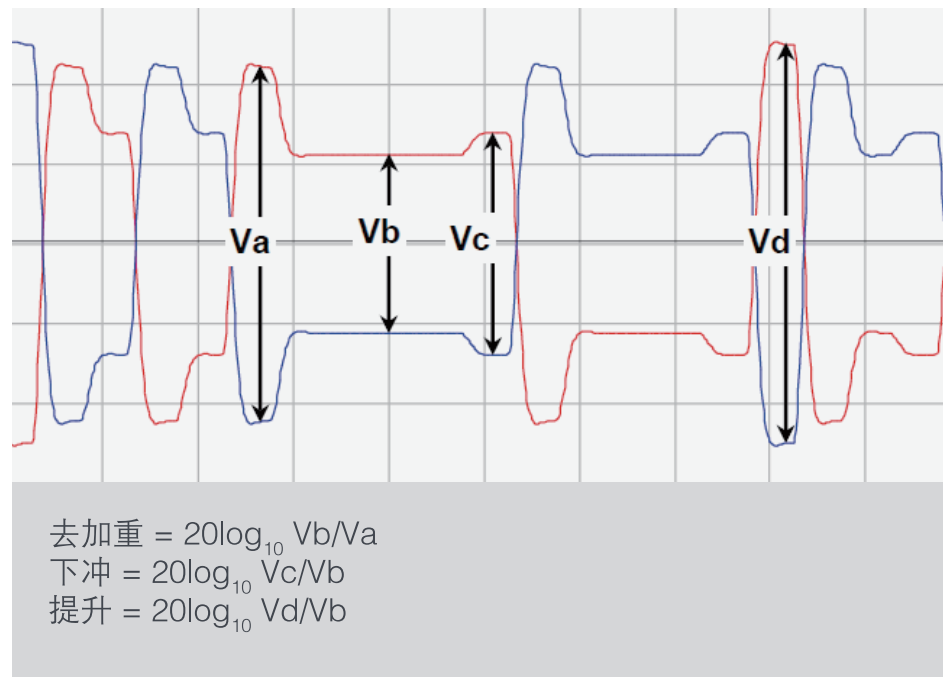
为通过一致性测试，实现互操作，每台器件都要求进行 PCI-SIG 认证，它基于一个预置值或发射机均衡设置列表，从每秒 2.5 Gb/s 的低数据速率直到最新的 16 Gb/s 的高数据速率。这些预置值用来均衡通道损耗，优化链路上的信号完整性。每个预置值都是主机应用到端点的下冲和去加重的具体组合。下表详细列出了 Gen3 和 Gen4 的 11 种预置值。DUT 必须支持所有预置值。

为降低测试时间，提高自动化速度，建议使用 100MHz 时钟突发，作为一致性测试夹具的输入，在这些预置值之间快速切换。如果您可以使用 100MHz 脉冲拨码开关自动执行预置测试，那么您可以节约宝贵的测试时间，因为您可以自动采集和分析各个指标，如抖动、电压和定时。

下面的预置值同时适用于发射机测试和接收机测试。

预置号	下冲(dB)	去加重(dB)
P4	0	0
P1	0	-3.5 ± 1 dB
P0	0	-6.0 ± 1.5 dB
P9	3.5 ± 1 dB	0
P8	3.5 ± 1 dB	-3.5 ± 1 dB
P7	3.5 ± 1 dB	-6.0 ± 1.5 dB
P5	1.9 ± 1 dB	0
P6	2.5 ± 1 dB	0
P3	0	-2.5 ± 1 dB
P2	0	-4.4 ± 1.5 dB
P10	0	Variable <sup>1</sup>

1. P10 电平不是固定的；其去加重电平与发射机在训练过程中声称的 LF 电平有关。P10 用来在整个摆幅中提升发射机的电平。





# 06. 发射机 (Tx) 测试基础知识

下面列明了对 PCIe 发射机自动进行一致性测试的各个步骤。自动软件至关重要，因为它可以使用 100 MHz 基准时钟自动切换预置测试模式，与手动按钮进行拨码切换相比，可以把测试时间缩短两倍。

许多 PCI-SIG 测试早期实现者更愿意使用泰克 DPOJET 和 SDLA 软件之类的工具，来完成早期 Gen4 表征和调试。



在实时数据或预录数据上运行分析

运行测试选择

编制标准一致性测试通过/未通过报告

泰克采用 **DPO7000SX 系列** 高性能示波器和 AFG3252，为发射机测试提供了完整的自动测试和调试解决方案。除 Gen3 和 Gen4 解决方案外，泰克解决方案还向下兼容 Gen1 和 Gen2。

测试类型/器件选择

测试选择

自动实现DUT控制

## 07. 基本规范发射机 (Tx) 测试

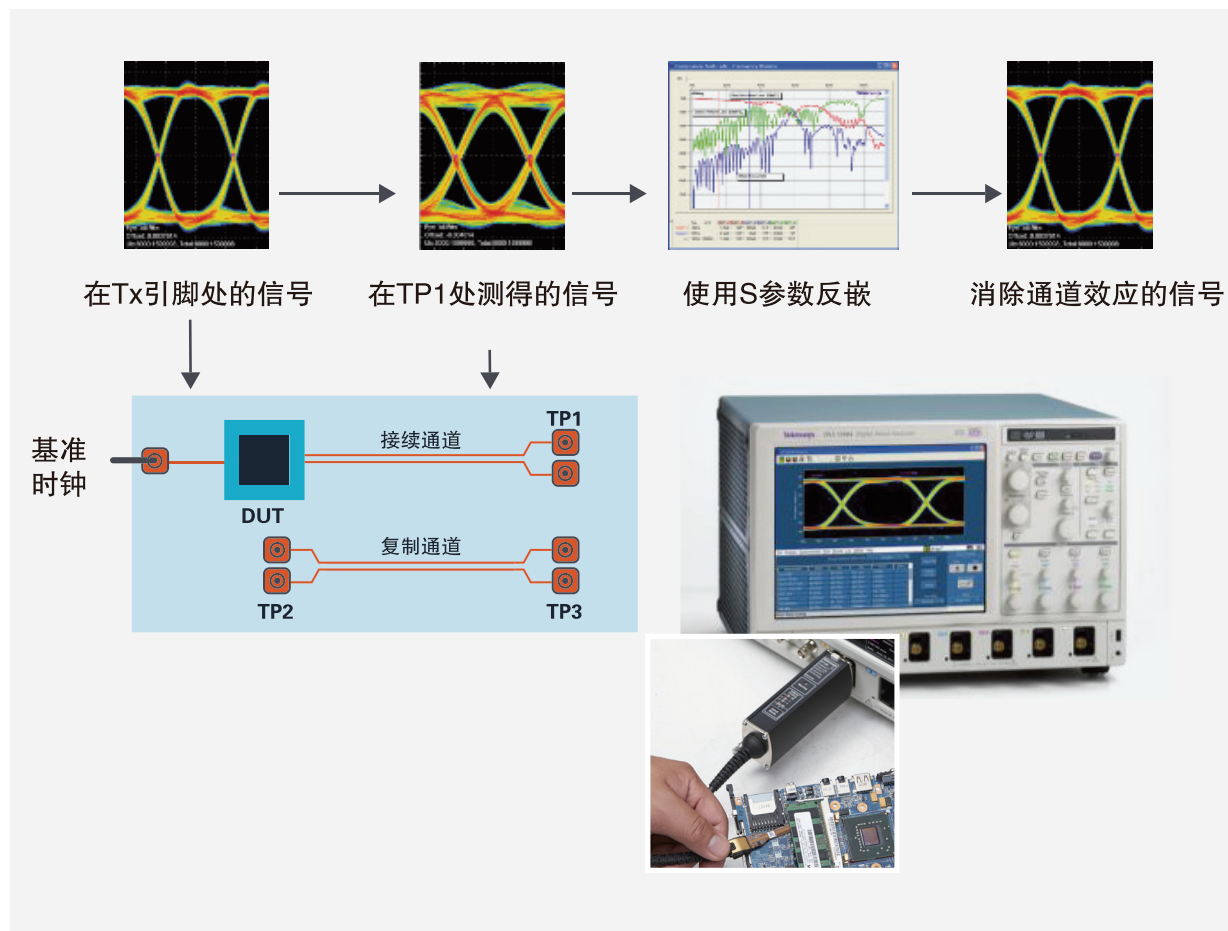
在芯片器件的基本发射机测试中，直接规定了发射机引脚上的测量项目。由于有时不可能接入引脚，因此在尽可能靠近这个基准点的位置执行测量。

在芯片级可以通过多种方式完成这一测试：

1. 如果您深入了解类似的复制通道的 S 参数，那么可以反嵌接续通道的损耗。您可以看到发射机引脚上的信号是什么样的，而没有增加通道影响。
2. 在示波器上使用均衡或 CTLE，均衡消除通道损耗。
3. 使用高带宽探头，探测位置应尽可能靠近发射机引脚 (如**泰克 P7700 探头**)。

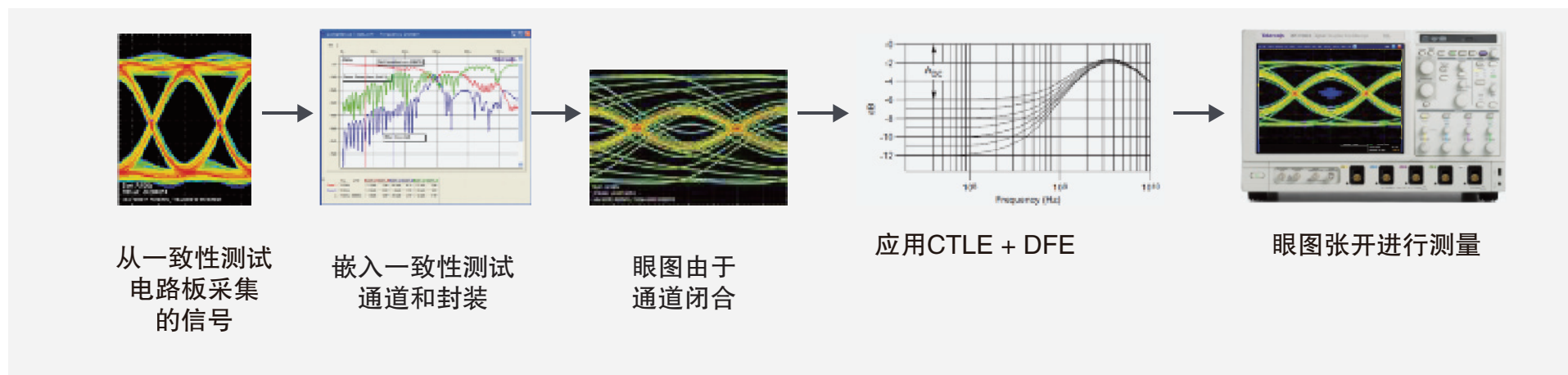
示波器可以使用 SDLA、Seasim 和 SigTest 之类的软件工具，执行嵌入 / 反嵌、均衡和眼图分析。这种软件级分析允许设计人员在试产前优化和调试芯片性能，节约时间、资金及全面调试。

确保采用的测量系统足够灵活，能够测试和调试被测器件的特定功能。



## 08. CEM 和 U.2 规范发射机 (Tx) 测试

在芯片器件的基本发射机测试中，直接规定了发射机引脚上的测量项目。由于有时不可能接入引脚，因此应在尽可能靠近这个基准点的位置执行测量。



### 系统和插件

在 CEM 级发射机测试中，会像接收机分片器看到的那样测量发射机的信号完整性，但由于外形及测试过程中使用的夹具，不可能直接接入信号。为保证测量精度，应实现下面介绍了两个重要组件。

1. 把一致性测试通道的性能特点向回嵌入到正在测量的信号中。这要求深入了解通道的插入损耗和 S 参数。由于这个原因，PCI-SIG 为 CEM 测试提供了一致性测试夹具及已知的 S 参数。
2. 使用软件工具应用通道均衡，测量和分析通道末端张开的眼图。PCI-SIG 提供了一个软件工具，称为 SIG-Test，应用与 PCI-SIG 特性有关的行为均衡器，提供测试通过 / 未通过结果。定制示波器软件，如泰克 DPOJET 和 SDLA，可以从闭上的眼图到张开的眼图，全面表征和调试均衡的信号。

# 09. 接收机 (Rx) 测试基础知识

1. 把器件置于环回模式 (即自检模式)。
2. 执行链路均衡, 克服通道损耗。

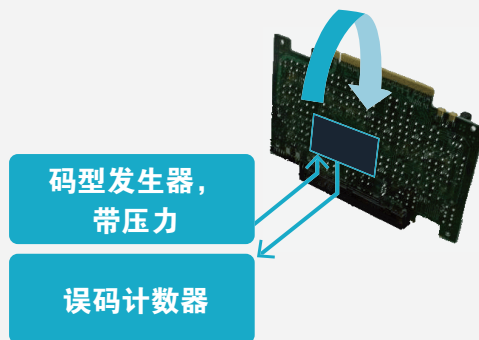
要求识别协议

3. 简便地设置有损伤的信号。
4. 自动校准压力损伤。
5. 进行准确的可重复的 BER 测量。

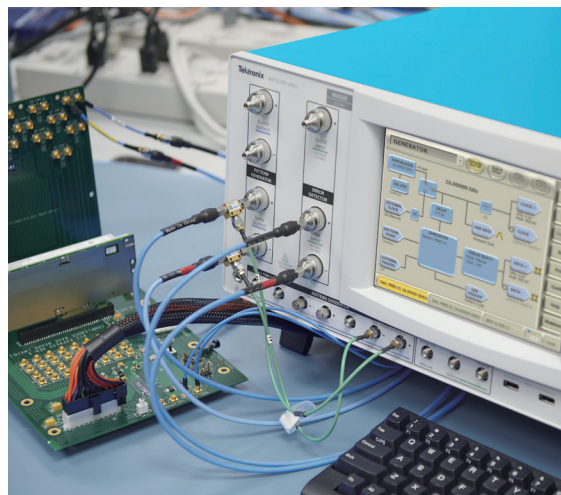
需要 Gen3 和 Gen4 标准自动测试解决方案

6. 导致根本原因的因素, 引起误码或链路训练问题。

超越一致性测试



误码位置	预计位
200,457	0
1,247,356	1
1,447,890	0
3,885,245	0
4,001,876	1
8,233,191	0
...	



泰克提供了最新的 **BSX 系列 BERTScope**, 执行 PCIe Gen1-4 接收机校准、自动一致性测试和调试。BSX 仪器使得用户可以使用量身定制的协议定序器把 PCIe 器件置于环回模式, 执行链路均衡, 克服通道损耗, 执行校准后的损伤测试。

# 10. PCIe 测试和调试设置中的关键考虑因素

由于 Gen 4 标准的出现，PCIe 的速度和复杂度正不断提高，工程师面临着新的设计挑战、更短的产品开发周期，同时需要了解新的标准规范及新的一致性测试要求。

在您处理 Gen3 或 Gen4 PCIe 器件测试和调试前，要问以下几个关键问题：

- 您怎样检验器件满足协议？
- 您怎样检验实际发射机裕量满足设计目标？
- 您在有中继电器 / 再定时器时怎样调试和执行互操作能力测试？
- 您怎样检验实际接收机裕量满足目标？
- 您怎样测试定制接口，检验操作满足设计目标？
- 您怎样在器件上建立环回模式实现测试？
- 您是否计划在器件上检验和调试链路训练，把器件置于环回模式？
- 您能否自动优化发射机和接收机均衡器设置？
- 您是否了解接收机较测试标准有多大裕量？
- 您是否有工具在各种边角条件下自动迅速执行一致性测试？
- 您是否有工具和专业知识来配置、优化和校准整个测试设置？

——  
**不要浪费时间。确保器件一遍就通过测试。**

历史上，在新一代 PCIe 器件进入一致性测试时，很大一部分器件会在第一遍物理层和链路训练 plugfest 测试中失败。因此，在讲习会测试前确保有完善的测试设备和软件解决方案至关重要。泰克 PCIe 测试和调试解决方案可以在 plugfest 前，简便地引导您执行一致性测试和调试，确保您的设计满怀信心地满足标准要求。

## 需要帮助解答这些问题？

泰克客户经理愿意随时提供帮助，您只需要打个电话。

如果想联系我们位于世界各地的代表处，请参阅下页的电话号码。





泰克官方微信

**如需所有最新配套资料，请立即与泰克本地代表联系！**

**或登录泰克公司中文网站：[cn.tek.com](http://cn.tek.com)**

**泰克中国客户服务中心全国热线：400-820-5835**

**泰克科技(中国)有限公司**

上海市浦东新区川桥路1227号  
邮编：201206  
电话：(86 21) 5031 2000  
传真：(86 21) 5899 3156

**泰克北京办事处**

北京市海淀区花园路4号  
通恒大厦1楼101室  
邮编：100088  
电话：(86 10) 5795 0700  
传真：(86 10) 6235 1236

**泰克上海办事处**

上海市长宁区福泉北路518号  
9座5楼  
邮编：200335  
电话：(86 21) 3397 0800  
传真：(86 21) 6289 7267

**泰克深圳办事处**

深圳市深南东路5002号  
信兴广场地王商业大厦3001-3002室  
邮编：518008  
电话：(86 755) 8246 0909  
传真：(86 755) 8246 1539

**泰克成都办事处**

成都市锦江区三色路38号  
博瑞创意成都B座1604  
邮编：610063  
电话：(86 28) 6530 4900  
传真：(86 28) 8527 0053

**泰克西安办事处**

西安市二环南路西段88号  
老三届世纪星大厦26层C座  
邮编：710065  
电话：(86 29) 8723 1794  
传真：(86 29) 8721 8549

**泰克武汉办事处**

武汉市洪山区珞喻路726号  
华美达大酒店702室  
邮编：430074  
电话：(86 27) 8781 2760

**泰克香港办事处**

香港九龙尖沙咀弥敦道132号  
美丽华大厦808-809室  
电话：(852) 2585 6688  
传真：(852) 2598 6260

**在 TEK.COM 中查找更多宝贵资源。**

© 2017 年泰克科技公司版权所有，侵权必究。泰克产品受到已经签发及正在申请的美国专利和国外专利保护。本文中的信息代替所有以前出版的材料中的信息。技术数据和价格如有变更，恕不另行通告。TEKTRONIX 和泰克徽标是泰克公司的注册商标。本文提到的所有其他商号均为各自公司的服务标志、商标或注册商标。

05/17 EA 65C-61046-0



**敏盛企業有限公司**

<http://www.mavin.com.tw>

**免責聲明**

資料僅供參考，若有與原廠不合之處，請以原廠規格為準，且不供任何證明文件之用

TEL:03-5970828 FAX:03-5972622 新竹湖口工業區工業四路3號2F

